

S10

1 PN=JP 2001237446

10/549900

?t s10/5

10/5/1

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

JC17 Rec'd PCT/PTO 20 SEP 2005

07009820 **Image available**

THIN-FILM POLYCRYSTALLINE SILICON, SILICON-BASED PHOTOELECTRIC CONVERSION
ELEMENT AND ITS MANUFACTURING METHOD

PUB. NO.: 2001-237446 [*JP 2001237446* A]

PUBLISHED: August 31, 2001 (20010831)

INVENTOR(s): MORITA SHOJI

HORIE TETSUHIRO

YAMAGUCHI KENGO

APPLICANT(s): MITSUBISHI HEAVY IND LTD

APPL. NO.: 2000-046298 [JP 200046298]

FILED: February 23, 2000 (20000223)

INTL CLASS: H01L-031/04; C23C-016/24; C23C-016/50; H01L-021/205

ABSTRACT

PROBLEM TO BE SOLVED: To provide thin-film polycrystalline silicon, by which high crystallization-rate thin-film polycrystalline silicon can be formed on a low-cost substrate, such as a glass substrate or the like in a low-temperature process, to provide a silicon-based photoelectric conversion elements, and to provide its manufacturing method.

SOLUTION: The silicon-based photoelectric conversion element comprises a first layer 51 which is laminated and formed on a substrate 20 selected from among a group composed of a glass, ceramic, metal, glass with a vapor-deposited transparent conductive film, ceramic with a vapor-deposited ceramic and resin with a vapor-deposited transparent conductive film, and which is used as a crystal nucleus substrate layer composed of one of a metal, an alloy or silicon. The element comprises a second layer 52, which is laminated and formed on the first layer and which is used as a crystal nucleus layer composed of silicon. The element comprises a third layer 53, which is laminated and formed on the second layer by using a film formation process at 500°C or lower and which is composed of polycrystalline silicon.

COPYRIGHT: (C)2001,JPO

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-237446

(P2001-237446A)

(43) 公開日 平成13年8月31日 (2001.8.31)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 31/04		C 2 3 C 16/24	4 K 0 3 0
C 2 3 C 16/24		16/50	5 F 0 4 5
16/50		H 0 1 L 21/205	5 F 0 5 1
H 0 1 L 21/205		31/04	A
			X
審査請求 未請求 請求項の数14 O L (全 11 頁)			

(21) 出願番号 特願2000-46298 (P2000-46298)

(22) 出願日 平成12年2月23日 (2000.2.23)

(71) 出願人 000006208

三菱重工業株式会社

東京都千代田区丸の内二丁目5番1号

(72) 発明者 森田 章二

神奈川県横浜市金沢区幸浦一丁目8番地1

三菱重工業株式会社基盤技術研究所内

(72) 発明者 堀江 哲弘

神奈川県横浜市金沢区幸浦一丁目8番地1

三菱重工業株式会社基盤技術研究所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外5名)

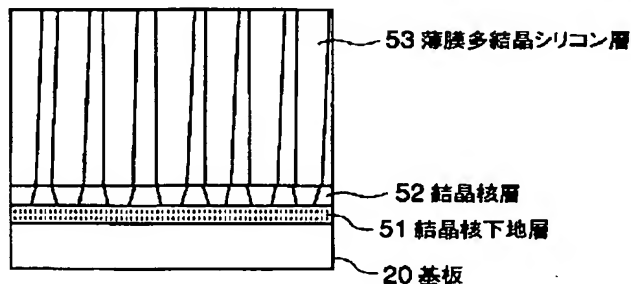
最終頁に続く

(54) 【発明の名称】 薄膜多結晶シリコン、シリコン系光電変換素子、及びその製造方法

(57) 【要約】

【課題】 ガラス等の安価な基板上に低温プロセスで結晶化率の高い薄膜多結晶シリコンを形成することができる薄膜多結晶シリコン、シリコン系光電変換素子、及びその製造方法を提供する。

【解決手段】 ガラス、セラミックス、金属、透明導電膜を蒸着したガラス、透明導電膜を蒸着したセラミックス、および透明導電膜を蒸着した樹脂からなる群から選ばれた基板20上に積層形成され、金属、合金、およびシリコンのいずれかからなる結晶核下地層としての第1の層51と、この第1の層の上に積層形成され、シリコンからなる結晶核層としての第2の層52と、この第2の層の上に500℃以下の製膜プロセスを用いて積層形成された多結晶シリコンからなる第3の層53と、を有する。



【特許請求の範囲】

【請求項1】 ガラス、セラミックス、金属、透明導電膜又は金属若しくは合金を薄膜として表面に形成したガラス、透明導電膜又は金属若しくは合金を薄膜として表面に形成したセラミックス、および透明導電膜又は金属若しくは合金を薄膜として表面に形成した樹脂からなる群から選ばれた基板上に積層形成され、金属、合金、金属酸化物およびシリコンのいずれかからなる結晶核下地層としての第1の層と、

この第1の層の上に積層形成され、シリコンからなる結晶核層としての第2の層と、

この第2の層の上に500℃以下の製膜プロセスを用いて積層形成された多結晶シリコンからなる第3の層と、を具備することを特徴とする薄膜多結晶シリコン。

【請求項2】 前記第2の層は、その膜厚が10nm以上で1000nm以下であり、かつ体積結晶化率が70%以上であり、かつ(220)面に優先的に配向していることを特徴とする請求項1記載の薄膜多結晶シリコン。

【請求項3】 前記第3の層は、その体積結晶化率が70%以上であり、かつ(220)面に優先的に配向していることを特徴とする請求項1記載の薄膜多結晶シリコン。

【請求項4】 ガラス、セラミックス、金属、透明導電膜又は金属若しくは合金を薄膜として表面に形成したガラス、透明導電膜又は金属若しくは合金を薄膜として表面に形成したセラミックス、および透明導電膜又は金属若しくは合金を薄膜として表面に形成した樹脂からなる群から選ばれた基板を化学蒸着、熱CVD法、イオンプレーティング法、スパッタリング法などの製膜方法により金属、合金、金属酸化物およびシリコンのいずれかからなる結晶核下地層としての第1の層を前記基板上に積層形成する工程(a)と、

シリコンからなる結晶核層としての第2の層を前記第1の層の上に積層形成する工程(b)と、

この第2の層の上に500℃以下の製膜プロセスを用いて多結晶シリコンからなる第3の層を積層形成する工程(c)と、を具備することを特徴とする薄膜多結晶シリコンの製造方法。

【請求項5】 上記工程(b)では電子ビーム励起プラズマ法を用いて第2の層となる結晶核層を形成し、かつ上記工程(c)ではラダー状の放電電極を用いるプラズマCVD法を用いて第3の層となる多結晶シリコン層を形成することを特徴とする請求項4記載の方法。

【請求項6】 上記工程(b)では、電子ビームのエネルギーを20eV以上200eV以下の範囲とし、基板の温度を500℃以下とし、水素に対するシラン系ガスの流量比を、0.5%以上20%以下の範囲とし、圧力を0.5mTorr以上50mTorr以下とすることを特徴とする請求項5記載の方法。

【請求項7】 上記工程(c)では、水素に対するシランSiH₄の流量比を0.5%以上20%以下の範囲とし、ラダー状の放電電極の放電周波数を50MHz以上300MHz以下の範囲とし、圧力を0.1Torr以上5Torr以下の範囲とし、基板の温度を500℃以下とすることを特徴とする請求項5記載の方法。

【請求項8】 ガラス、セラミックス、金属、透明導電膜又は金属若しくは合金を薄膜として表面に形成したガラス、透明導電膜又は金属若しくは合金を薄膜として表面に形成したセラミックス、および透明導電膜又は金属若しくは合金を薄膜として表面に形成した樹脂からなる群から選ばれた基板上に積層形成され、金属、合金、およびシリコンのいずれかからなる結晶核下地層としての第1の層と、

この第1の層の上に積層形成され、シリコンのからなる結晶核下地層としての第2の層と、

この第2の層の上に500℃以下の製膜プロセスを用いて積層形成された膜厚0.5μm以上10μm以下の多結晶シリコンからなり、発電層として用いられる第3の層と、を具備することを特徴とするシリコン系光電変換素子。

【請求項9】 前記第2の層は、その膜厚が10nm以上で1000nm以下であり、かつ体積結晶化率が70%以上であり、かつ(220)面に優先的に配向していることを特徴とする請求項8記載のシリコン系光電変換素子。

【請求項10】 前記第3の層は、その体積結晶化率が70%以上であり、かつ(220)面に優先的に配向していることを特徴とする請求項8記載のシリコン系光電変換素子。

【請求項11】 ガラス、セラミックス、金属、透明導電膜又は金属若しくは合金を薄膜として表面に形成したガラス、透明導電膜又は金属若しくは合金を薄膜として表面に形成したセラミックス、および透明導電膜又は金属若しくは合金を薄膜として表面に形成した樹脂からなる群から選ばれた基板を化学蒸着、熱CVD法、イオンプレーティング法、スパッタリング法などの製膜方法により金属、合金、金属酸化物およびシリコンのいずれかからなる結晶核下地層としての第1の層を前記基板上に積層形成する工程(a)と、

シリコンからなる結晶核層としての第2の層を前記第1の層の上に積層形成する工程(b)と、

この第2の層の上に500℃以下の製膜プロセスを用いて積層形成された膜厚0.5μm以上10μm以下の多結晶シリコンからなり、発電層として用いられる第3の層を積層形成する工程(c)と、を具備することを特徴とするシリコン系光電変換素子の製造方法。

【請求項12】 上記工程(b)では電子ビーム励起プラズマ法を用いて第2の層となる結晶核層を形成し、かつ上記工程(c)ではラダー状の放電電極を用いるプラ

ズマCVD法を用いて第3の層となる多結晶シリコン層を形成することを特徴とする請求項1記載の方法。

【請求項13】 上記工程(b)では、電子ビームのエネルギーを20eV以上200eV以下の範囲とし、基板の温度を500℃以下とし、水素に対するシラン系ガスの流量比を、0.5%以上20%以下の範囲とし、圧力を0.5mTorr以上50mTorr以下とすることを特徴とする請求項12記載の方法。

【請求項14】 上記工程(c)では、水素に対するシランSiH₄の流量比を0.5%以上20%以下の範囲とし、ラダー状の放電電極の放電周波数を50MHz以上300MHz以下の範囲とし、圧力を0.1Torr以上5Torr以下の範囲とし、基板の温度を500℃以下とすることを特徴とする請求項12記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜多結晶シリコン、シリコン系光電変換素子、及びその製造方法に関する。

【0002】

【従来の技術】薄膜太陽電池や薄膜トランジスタの製造プロセスを簡素化するため、製造コストを低減化するため、および性能及び信頼性向上のために、薄膜多結晶シリコンがこれらのデバイスに採用されている。

【0003】薄膜多結晶シリコンは、CVD法やスパッタリング法を用いて基板上に直接堆積させるか、又は同様のプロセスで一旦アモルファス膜を基板上に堆積させた後に熱アニールやレーザーアニールを行なうことによって結晶化して形成される。

【0004】

【発明が解決しようとする課題】しかし、前者の方法で形成された薄膜多結晶シリコンは、結晶化率が低く、結晶粒子が小さいので、半導体物性の重要なパラメータである移動度が単結晶のそれに比べると小さい。

【0005】一方、後者の方法で形成された薄膜多結晶シリコンは、結晶化率をある程度高くはできるが、高温の熱処理にさらされるためにガラス、セラミックス、金属、樹脂などの安価な基板上に形成することができない。ガラス等の安価な基板上に薄膜多結晶シリコンを製膜する場合は、少なくとも550℃以下の低温プロセスとする必要がある。

【0006】本発明は上記の課題を解決するためになされたものであって、ガラス、セラミックス、金属、樹脂などの安価な基板上に低温プロセスで結晶化率の高い薄膜多結晶シリコンを形成することができる薄膜多結晶シリコン、シリコン系光電変換素子、及びその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明に係る薄膜多結晶シリコンは、ガラス、セラミックス、金属、透明導電膜

又は金属若しくは合金を薄膜として表面に形成したガラス、透明導電膜又は金属若しくは合金を薄膜として表面に形成したセラミックス、および透明導電膜又は金属若しくは合金を薄膜として表面に形成した樹脂からなる群から選ばれた基板上に積層形成され、金属、合金、金属酸化物およびシリコンのいずれかからなる結晶核下地層としての第1の層と、この第1の層の上に積層形成され、シリコンからなる結晶核層としての第2の層と、この第2の層の上に500℃以下の製膜プロセスを用いて積層形成された多結晶シリコンからなる第3の層と、を具備することを特徴とする。

【0008】第1の層(結晶核下地層)は、例えばITOのような透明導電膜からなり、化学蒸着法、熱CVD法、イオンプレーティング法、スパッタリング法などの製膜方法を用いて形成される。

【0009】第2の層(結晶核層)は、その膜厚が10nm以上で1000nm以下であり、かつ体積結晶化率が70%以上であり、かつ(220)面に優先的に配向していることが好ましい。ここで「結晶核層」とは、一部に非晶質のアモルファスを含む結晶を主体とする層を意味するものとする。

【0010】第3の層(多結晶シリコン膜)は、その体積結晶化率が70%以上であり、かつ(220)面に優先的に配向していることが好ましい。

【0011】本発明に係る薄膜多結晶シリコンの製造方法は、ガラス、セラミックス、金属、透明導電膜又は金属若しくは合金を薄膜として表面に形成したガラス、透明導電膜又は金属若しくは合金を薄膜として表面に形成したセラミックス、および透明導電膜又は金属若しくは合金を薄膜として表面に形成した樹脂からなる群から選ばれた基板を化学蒸着、熱CVD法、イオンプレーティング法、スパッタリング法などの製膜方法により金属、合金、金属酸化物およびシリコンのいずれかからなる結晶核下地層としての第1の層を前記基板上に積層形成する工程(a)と、シリコンからなる結晶核層としての第2の層を前記第1の層の上に積層形成する工程(b)と、この第2の層の上に500℃以下の製膜プロセスを用いて多結晶シリコンからなる第3の層を積層形成する工程(c)と、を具備することを特徴とする。

【0012】上記工程(b)では電子ビーム励起プラズマ法を用いて第2の層となる結晶核層を形成し、かつ上記工程(c)ではラダー状の放電電極を用いるプラズマCVD法を用いて第3の層となる多結晶シリコン層を形成することが好ましい。

【0013】上記工程(b)では、電子ビームのエネルギーを20eV以上200eV以下の範囲とし、基板の温度を500℃以下とし、水素に対するシラン系ガスの流量比を、0.5%以上20%以下の範囲とし、圧力を0.5mTorr以上50mTorr以下とすることが好ましい。

【0014】上記工程(c)では、水素に対するシラン

SiH₄の流量比を0.5%以上20%以下の範囲とし、ラダー状の放電電極の放電周波数を50MHz以上300MHz以下の範囲とし、圧力を0.1Torr以上5Torr以下の範囲とし、基板の温度を500℃以下とすることが好ましい。

【0015】本発明に係るシリコン系光電変換素子は、ガラス、セラミックス、金属、透明導電膜又は金属若しくは合金を薄膜として表面に形成したガラス、透明導電膜又は金属若しくは合金を薄膜として表面に形成したセラミックス、および透明導電膜又は金属若しくは合金を薄膜として表面に形成した樹脂からなる群から選ばれた基板上に積層形成され、金属、合金、金属酸化物およびシリコンのいずれかからなる結晶核下地層としての第1の層と、この第1の層の上に積層形成され、シリコンからなる結晶核層としての第2の層と、この第2の層の上に500℃以下の製膜プロセスを用いて積層形成された膜厚0.5μm以上10μm以下の多結晶シリコンからなり、発電層として用いられる第3の層と、を具備することを特徴とする。

【0016】本発明に係るシリコン系光電変換素子の製造方法は、ガラス、セラミックス、金属、透明導電膜又は金属若しくは合金を薄膜として表面に形成したガラス、透明導電膜又は金属若しくは合金を薄膜として表面に形成したセラミックス、および透明導電膜又は金属若しくは合金を薄膜として表面に形成した樹脂からなる群から選ばれた基板を化学蒸着、熱CVD法、イオンプレーティング法、スパッタリング法などの製膜方法により金属、合金、金属酸化物およびシリコンのいずれかからなる結晶核下地層としての第1の層を前記基板上に積層形成する工程(a)と、シリコンからなる結晶核層としての第2の層を前記第1の層の上に積層形成する工程

(b)と、この第2の層の上に500℃以下の製膜プロセスを用いて積層形成された膜厚0.5μm以上10μm以下の多結晶シリコンからなり、発電層として用いられる第3の層を積層形成する工程(c)と、を具備することを特徴とする。

【0017】上記工程(b)では電子ビーム励起プラズマ法を用いて第2の層となる結晶核層を形成し、かつ上記工程(c)ではラダー状の放電電極を用いるプラズマCVD法を用いて第3の層となる多結晶シリコン層を形成することが好ましい。

【0018】上記工程(b)では、電子ビームのエネルギーを20eV以上200eV以下の範囲とし、基板の温度を500℃以下とし、水素に対するシラン系ガスの流量比を0.5%以上20%以下の範囲とし、圧力を0.5mTorr以上50mTorr以下とすることが好ましい。

【0019】上記工程(c)では、水素に対するシランSiH₄の流量比を0.5%以上20%以下の範囲とし、ラダー状の放電電極の放電周波数を50MHz以上300MHz以下の範囲とし、圧力を0.1Torr以下

と5Torr以下の範囲とし、基板の温度を500℃以下とすることが好ましい。

【0020】

【発明の実施の形態】以下、添付の図面を参照して本発明の種々の好ましい実施の形態について説明する。

【0021】図10に示すように、本発明の薄膜多結晶シリコンでは、基板20上に結晶核下地層51、結晶核層52、多結晶シリコン層53が順次積層されている。

【0022】第1の層51(結晶核下地層)は、化学蒸着法、熱CVD法、イオンプレーティング法、スパッタリング法などにより結晶核層52の下地層として基板20上に形成され、例えばITOのような透明導電膜からなる。

【0023】第2の層52(結晶核層)は、電子ビーム励起プラズマ法により結晶核下地層51の上に形成され、その膜厚が10nm以上で1000nm以下であり、かつ体積結晶化率が70%以上であり、かつ(220)面に優先的に配向している。

【0024】第3の層53(多結晶シリコン層)は、ラダー状電極を有するプラズマCVD法により形成され、その体積結晶化率が70%以上であり、かつ(220)面に優先的に配向している。

【0025】(第2層の製造方法)図1に第2層となる初期核層(結晶核層)の製膜に用いた電子ビーム励起プラズマ装置(以下、装置Aという)の断面図を示す。装置Aは電子ビームが水平方向に射出される方式であり、一方端側に放電室1を規定する放電チャンバ1aを、他方端側に製膜室17を規定するプロセスチャンバ28Aを、中間に中間室2を規定する中間チャンバ2aおよび電子加速室3を規定する加速チャンバ3aを備えている。

【0026】放電室1内には熱フィラメント4および熱電子放出板5が対向して設けられている。熱フィラメント4と熱電子放出板5とは電源14の回路が接続されている。放電室1内にガス供給路10を介して放電ガスを導入するとともに、熱フィラメント4と熱電子放出板5との間に電源14から給電すると、両者間に放電プラズマ13が生成されるようになっている。

【0027】放電室1と中間室2の間には絶縁体6で絶縁された電極7が挿入され、電極7の中央孔12aを介して両室1、2は連通している。電極7により放電プラズマ13の中から電子が引き出され、電子は中央孔12aを通過して中間室2に導かれるようになっている。中間室2と加速室3の間には絶縁体6で絶縁された電極8が挿入され、電極8の中央孔12bを介して両室2、3は連通している。さらに、加速室3と製膜室17の間には絶縁体6で絶縁された電極9が挿入され、電極9の中央孔12cを介して両室3、17は連通している。熱電子放出板5と電極7との間の回路には電源15が設けられ、電極8と電極9との間の回路には電源16が設

けられている。

【0028】加速室3の側面部には差動排気路11が開口し、加速室3の内圧が中間室2の内圧より低くなるように差動排気されるようになっている。加速室3の入口側電極8および出口側電極9はコイル23によりそれぞれ取り囲まれ、加速された電子ビームを収束させるための磁場が形成されるようになっている。

【0029】製膜室17内にはチャックヒータ21および2つのカスプ磁場形成用コイル24a、24bが設けられている。チャックヒータ21は基板20を保持し加

熱するためのものであり、このチャックヒータ21に保持された基板20を上方および下方から挟むように1対のコイル24a、24bが配置されている。

【0030】主排気路18Aおよび原料ガス供給路19が製膜室17にそれぞれ連通している。主排気路18Aは、チャンバ28Aの後面部にて開口し、図示しない真空排気ポンプの吸込口に連通している。原料ガス供給路19は、チャンバ28Aの側面部にて開口し、図示しないガスドーズーおよびガス供給源にそれぞれ連通している。ガスドーズーは基板20に向けて原料ガスを均一に供給するための整流板を備えている。なお、チャンバ28Aはアース26に接続されている。

【0031】製膜室17内に原料ガスを供給しながら図示しない電極に給電し、電子ビームを打ち込むと、プラズマ22が生成され、コイル24a、24bに通電すると、図4に示すようにカスプ磁場が形成される。このカスプ磁場は、図4中に矢印で示すように生成プラズマ22に作用してプラズマ22を製膜室17内に封じ込め、プラズマ22中の活性種の基板20に対するデポジットを促進させる。

【0032】次に、第2層となる結晶核層（初期核層）の製膜方法について述べる。

【0033】装置Aの放電室1に設けた熱フィラメント4にフィラメント電源14によって電力を供給し、熱電子放出板5から電子を放出させる。放電電極7に放電電源15によって印加した電圧によってガス供給口10から導入されたガスをプラズマ13として放電させる。放電電極7に印加された放電電源15によって中間室2に引き出された電子ビーム12は中間電極8および加速電源16によって電圧の印加された加速電極9によって加速されて製膜室17に導入される。このとき、放電室1に供給されたガスは、差動排気路11を介して製膜室17での製膜に影響しない程度に真空排気される。製膜室17に導入された電子ビーム12は、高エネルギーであるので原料ガス19を励起して多数のラジカル水素H^{*}を発生させる。この結果、製膜室17内に高密度のガスプラズマ22が生成される。

【0034】製膜室17内には基板ヒータ21により加熱された基板20が設置してあり、原料ガスプラズマ22によって下地層51（第1層）上に初期核層52（第

2層）が製膜される。原料ガス19は主排気路18Aを介して製膜室17から排気される。また、製膜室17内あるいは製膜室17の外側にはカスプ磁場24を設置することにより、基板20表面付近に原料ガスプラズマ22を高密度に閉じ込めることができる。

【0035】図3に從來から用いられている汎用の電子ビーム励起プラズマ装置（以下、装置Cという）の断面図を示す。装置Cは電子ビームが垂直方向に射出される方式の装置であり、熱電子を上方から加速させて下方の処理室17に打ち込むようになっている。この従来装置Cにおいて電子ビーム12は製膜室17内に設置された基板20の表面に対して垂直方向に入射してもよいとされていた。しかしながら、従来装置Cにおいて電子ビーム12を基板20に垂直に入射させた場合には、基板20の表面が負電位に帯電し、電子ビーム12によって励起された原料ガスプラズマ22内に発生した正イオンが基板20表面に高いエネルギーで入射して膜質を劣化させることが判明した。

【0036】これに対して、本発明に用いる装置Aでは製膜室17内に入射した電子ビーム12に対して基板20を水平方向に設置することにより、基板20表面が負電位に帯電することを防止し、原料ガスプラズマ22内に発生した正イオンによる初期核層の膜質を向上させることができる。

【0037】また、装置Cを用いる従来法では基板20の設置方向については規定されていなかったが、基板20表面を上向きに設置した場合に原料ガスプラズマ22内で発生するパーティクルが製膜中に基板20表面に堆積してしまい膜質を劣化させる問題があった。これに対して、装置Aのように基板20表面を下向きになるように設置することにより製膜中にパーティクルが堆積することを抑制することができる。

【0038】本発明の効果は、図2に示す他の実施形態の電子ビーム励起プラズマ装置（以下、装置Bという）においても実現することができる。この装置Bは、電子ビーム12の入射軸に対して垂直に取り付けられ、アース26に接地された遮蔽板25を備えている。このような遮蔽板25により電子ビーム12が基板20表面へ直接入射しないようにし、基板20を鉛直方向に設置して表面へのパーティクルの堆積を抑制することができる。

【0039】次に、上記の装置Aおよび装置Bを用いて本発明の薄膜を形成するときの製膜条件についてそれぞれ説明する。

【0040】製膜室17に導入する原料ガスとしてはSiH₄、Si₂H₆等のシラン系ガスあるいは、SiF₄、SiH₂Cl₂等のハロシラン系ガスあるいはこれらのガスを水素もしくは水素と希ガスの混合ガスで希釈したものをを用いることができる。また同時にB₂H₆、PH₃、AsH₃等のガスを併給することによりp型あるいはn型の膜を形成することも可能である。原料ガスは製膜室

17内に0.5~50mTorrの圧力範囲で供給する。基板20にはガラス、セラミックス、金属、透明導電膜又は金属若しくは合金を薄膜として表面に形成したガラス、透明導電膜又は金属若しくは合金を薄膜として表面に形成したセラミックス、および透明導電膜又は金属若しくは合金を薄膜として表面に形成した樹脂からなる群から選ばれた基板を用いることができる。

【0041】熱フィラメント4としてタングステンフィラメント等の高融点金属、熱電子放出板5としてはLaB₆板等を用いることができる。ガス供給口10から供給するガスとしてArガスを0.5~10sccmの流量で放電室1内の圧力が 1×10^{-3} Torr以下となるように供給してプラズマ13を発生させる。放電電極7に印可する放電電源15としては放電電流値が5~100Aとなるように設定する。加速電極9に印加する加速電源16は30~200Vである。これにより、電子ビーム12を放電電流にほぼ等しい5~100Aの範囲で製膜室17に入射させることができる。このとき加速電源16を50V~150Vとすると、原料ガスの励起効率が向上し、高密度プラズマを発生させることができるのでより好ましい。

【0042】ヒータ21によって基板20を150℃から500℃までの範囲の温度域に加熱する。結晶化率70%以上、(220)配向膜を得るためには、より好ましくは200℃~500℃の範囲の温度域に加熱することが望ましい。

【0043】カスプ磁場24によって発生させる磁場はカスプ磁場とし、図4に示すような磁場を発生させるようにすることにより原料ガスプラズマ22を空間的に閉じ込めることが可能である。

【0044】(実施例)表1に実施例および比較例の製膜条件をそれぞれ示す。実施例1~5は装置A(図1)を用いた製膜条件に、実施例6~10は装置B(図2)を用いた製膜条件に、比較例1~3は装置C(図3)を用いた製膜条件にそれぞれ該当する。チャンバ内圧を16mTorrに、シランガス流量を3sccmに、水素流量を80sccmにそれぞれ設定し、基板温度を180℃、270℃、405℃に様々に変えとともに、加速電圧を50V、100V、150Vに種々変えて実施した。

【0045】次に、図5~図9及び表2をそれぞれ参照して上記の実施例1~10および比較例1~3に対する膜質評価について述べる。

【0046】図5は、横軸に基板温度(℃)をとり、縦軸にラマン比(I_c/I_a)をとって、各装置A、B、

Cにおける両者の相関について示す特性線図である。図中にて菱形は装置Aにより製膜した薄膜の結果を、四角は装置Bにより製膜した薄膜の結果を、三角は装置Cにより製膜した薄膜の結果をそれぞれ示す。

【0047】ここで「ラマン比」とは、製膜した膜のラマン分光測定結果の520cm⁻¹および480cm⁻¹の分光強度の比を示し、膜の結晶化率の高さに対応する。図から明らかなように、装置Cで製膜した膜のラマン比は基板温度に拘わりなく低い値となるが、装置A、Bで製膜した膜のラマン比は基板温度が180℃から270℃~405℃の温度域に上昇するにともない急激に増大した。

【0048】図6は、横軸に基板温度(℃)をとり、縦軸に結晶粒径(nm)をとって、各装置A、B、Cにおける両者の相関について示す特性線図である。図中の図形記号は図5と同様である。図から明らかなように、装置Cで製膜した膜の結晶粒径は基板温度に拘わりなく小さいが、装置A、Bで製膜した膜の結晶粒径は基板温度が180℃から270℃~405℃の温度域に上昇するにともない急激に増大した。

【0049】図7は、横軸に加速電圧(V)をとり、縦軸にラマン比(I_c/I_a)をとって、各装置A、B、Cにおける両者の相関について示す特性線図である。図中の図形記号は図5と同様である。図から明らかなように、装置Cで製膜した膜のラマン比は加速電圧に拘わりなく低い値となるが、装置A、Bで製膜した膜のラマン比は加速電圧が50Vから100V~150Vに上昇するにともない急激に増大した。

【0050】図8は、横軸に加速電圧(V)をとり、縦軸に結晶粒径(nm)をとって、各装置A、B、Cにおける両者の相関について示す特性線図である。図中の図形記号は図5と同様である。図から明らかなように、装置Cで製膜した膜の結晶粒径は加速電圧に拘わりなく小さいが、装置A、Bで製膜した膜の結晶粒径は加速電圧が50Vから100V~150Vに上昇するにともない急激に増大した。

【0051】図9の(a)は装置Cを用いる従来方法により製膜された膜表面の電子顕微鏡写真を示す図、

(b)は装置A、Bを用いる本発明方法により製膜された膜表面の電子顕微鏡写真を示す図である。両図を比較してみると、従来の膜は凹凸状の表面欠陥が多いのに対して、本発明の膜は欠陥の無い均一な表面となることが判明した。

【0052】

【表1】

表1 製膜条件

	基板温度 (°C)	圧力 (mTorr)	シラン流量 (sccm)	水素流量 (sccm)	加速電圧 (V)	装置構成
実施例1	180	16	3	80	100	A
実施例2	270	16	3	80	100	A
実施例3	405	16	3	80	100	A
実施例4	270	16	3	80	50	A
実施例5	270	16	3	80	150	A
実施例6	180	16	3	80	100	B
実施例7	270	16	3	80	100	B
実施例8	405	16	3	80	100	B
実施例9	270	16	3	80	50	B
実施例10	270	16	3	80	150	B
比較例1	180	16	3	80	100	C
比較例2	270	16	3	80	100	C
比較例3	405	16	3	80	100	C

【0053】

【表2】

表2 膜質

	装置構成	ラマン比	粒径(nm)	配向性	パーティクル
実施例1	A	5.6	18	ランダム	無し
実施例2	A	15.6	36	(220)	無し
実施例3	A	17.3	40	(220)	無し
実施例4	A	3.1	8	ランダム	無し
実施例5	A	17.4	45	(220)	無し
実施例6	B	5.7	19	ランダム	無し
実施例7	B	15.8	36	(220)	無し
実施例8	B	16.8	40	(220)	無し
実施例9	B	3.5	10	ランダム	無し
実施例10	B	17.5	45	(220)	無し
比較例1	C	5.3	10	ランダム	有り
比較例2	C	5.5	12	ランダム	有り
比較例3	C	7.6	12	(111)	有り

【0054】（第3層の製膜方法）次に、第3層となる薄膜多結晶シリコン53の製膜方法について述べる。

【0055】図11および図12に第3層となる薄膜多結晶シリコンの製膜に用いた装置の構成図を示す。

【0056】図11に示すように、装置Eは、真空容器30、ガス混合箱35、基板ヒータ31、放電用電極38、及び真空ポンプ34等を備えている。基板20は、製膜面を下にして基板ヒータ31に密着して配置される構造となっている。放電用電極として後述のラダー電極を用いた。

【0057】図12に示すように、ラダー電極38は、基板ヒータ31と対峙する位置に配置され、同軸ケーブル41を介してインピーダンス整合器39及び高周波電源41が接続されている。ラダー電極38は、直径4～12mm程度のステンレス製の線材をはしご状に組み合わせた構造である。ラダー電極38は、容量結合型放電と誘導結合型放電の双方の特性を兼ね備えている点に特徴がある。また、従来から用いられている平行平板型電極と比べて、ラダー電極38は開口部が広く、原料ガス流れの制御性に優れていることも特徴の1つである。

【0058】（実施例）次に、実施例について説明する。本実施例では基板としてガラス基板を用いた。本発

明の効果は、ガラス基板に限定されるものではなく、金属、セラミックス等からなる他の基板でも同様の効果を生じる。

【0059】ガラス基板20上に第1の層51（結晶核下地層）及び第2の層52（結晶核層）を形成した基板を、図11に示すように、製膜面を下にして基板ヒータ31に密着するように設置した。その後、真空ポンプ34により、ステンレス製の真空容器30内を 5×10^{-7} Torrまで排気した。

【0060】製膜用の原料ガスとして、シランSiH₄及び水素H₂を用いた。シランSiH₄及び水素H₂を原料ガス導入管36を介してガス混合箱35に導入した。シランSiH₄及び水素H₂の流量は、図示しないマスフローコントローラにより制御されており、各々7 sccmと300 sccmに設定した。シランSiH₄及び水素H₂の流量は、記述した値に限定されるものではなく、水素H₂に対するSiH₄の流量が0.5～20原子%の範囲において、本発明の効果が生じる。水素H₂に対するSiH₄の流量が0.5原子%以下の場合、薄膜多結晶シリコンは成長するものの、製膜速度が小さく、生産性が向上しないという問題を生じる。また、水素H₂に対するSiH₄の流量が20%以上の場合、水

素ラジカルの発生量が少ないため薄膜多結晶シリコンが成長せず、アモルファスシリコンが製膜されるという問題がある。

【0061】第3層製膜中の圧力（製膜室内の圧）は、図示しない圧力調整弁によって制御されており、本実施例ではこれが1.5 Torrになるように設定した。圧力調整と併行して、基板ヒータに所定量の電力を投入し、基板表面温度が400℃になるように制御した。

1.5 Torrに圧力を調整した後、基板ヒータに電力を投入した状態で、所定時間保持し、基板表面温度を安定させた。続いて、高周波電源から周波数100MHzの高周波電力をラダー電極38に供給した。次いで、インピーダンス整合器39を調整し、反射電力を低減させ、ラダー電極38と基板20との間にプラズマを発生させ、基板20上に薄膜多結晶シリコンを製膜した。所定時間製膜後、基板ヒータ31の電力を下げ、基板20を室温程度まで冷却した後に、容器30内から基板20を取り出した。

【0062】第3層製膜中の圧力は、1.5 Torrのみに限定されるものではなく、下記の範囲内で種々変更可能であり、同様の効果を得ることができる。また、他の製膜条件も上記のみに限定されるものではなく、下記の範囲内で種々変更可能であり、同様の効果を得ることができる。

【0063】製膜圧力 (Torr) ; 0.1~5.0

SiH₄/H₂流量比 (%) ; 0.5~2.0

基板温度 (℃) ; 100~500

電源周波数 (MHz) ; 50~300

製膜条件を上記の範囲とした理由について説明する。

【0064】製膜圧力が0.1 Torrを下回ると、製膜速度が極めて小さくなり、生産性が向上しないので、圧力の下限値は0.1 Torrとする。一方、製膜圧力が5 Torrを上回ると、製膜中に気相中で微少なパーティクルを生じやすくなるとともに、局所的な異常放電が発生しやすくなり、膜の品質が低下するので、圧力の上限値は5 Torrとする。

【0065】製膜時の基板表面温度が100℃を下回ると、成長表面に吸着した活性種の表面拡散が促進されないため、核形成が進まず、薄膜多結晶シリコンが成長しなくなるので、基板表面温度の下限値は100℃とする。一方、基板表面温度が500℃を上回ると、成長表面からの水素の脱離が活発となり、表面の未結合手が増加して、活性種の表面拡散が促進されなくなり、膜中の欠陥が増加するので、基板表面温度の上限値は500℃とする。また、製膜時の温度を高く設定しすぎると、使用可能な基板が耐熱性の高い材料のみに限られてしまうことも温度の上限値の理由となる。

【0066】高周波電源の周波数が50MHzを下回ると、周波数の2乗に比例してプラズマ密度は低下するためにプラズマ中で励起される水素ラジカルの数が不足

し、薄膜多結晶シリコンの成長が促進されなくなるので、周波数の下限値は50MHzとする。一方、電源の周波数が300MHzを上回ると、放電電極内での電圧分布が不均一となり、膜厚及び膜質均一性が著しく低下するので、周波数の上限値は300MHzとする。

【0067】上記の製膜条件で生成したプラズマは、極めて安定しており、入射電力及び反射電力の時間的変化はほとんど認められなかった。

【0068】

10 【発明の効果】本発明によれば、ガラス、セラミックス、金属、樹脂などの安価な基板上に低温プロセスで結晶化率の高い薄膜多結晶シリコンを形成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る製造装置の内部透視断面図。

【図2】本発明の第2の実施形態に係る製造装置の内部透視断面図。

【図3】従来装置の内部透視断面図。

20 【図4】カスプ磁界を形成する一対のリング電極を切り欠いて示す斜視図。

【図5】各装置における基板温度とラマン比との相関を示す特性線図。

【図6】各装置における基板温度と結晶粒径 (nm) との相関を示す特性線図。

【図7】各装置における加速電圧とラマン比との相関を示す特性線図。

【図8】各装置における加速電圧と結晶粒径 (nm) との相関を示す特性線図。

30 【図9】(a)は従来方法により製膜された膜表面の電子顕微鏡写真、(b)は本発明方法により製膜された膜表面の電子顕微鏡写真。

【図10】本発明方法を用いて製造された薄膜多結晶シリコンの概要を示す縦断面図。

【図11】薄膜多結晶シリコンの製膜に用いた装置を示す内部透視断面図。

【図12】図11の製膜装置の一部を示す平面模式図。

【符号の説明】

1…放電室、1a…放電チャンバ、

40 2…中間室、2a…中間チャンバ、

3…電子加速室、3a…加速チャンバ、

4…熱フィラメント、

5…熱電子放出板、

6…絶縁板、

7…放電電極、

8…中間電極、

9…加速電極、

10…ガス供給路、

11…差動排気路、

50 12a, 12b, 12c…電子ビーム通路 (電極の

15

16

孔)、

13…プラズマ、

14, 15, 16…電源、

17…製膜室、

18A, 18B, 18C…主排気路、

19…原料ガス供給路、

20…基板、

21…ヒータ、

22…プラズマ、

23…電子ビーム収束磁場形成用コイル、

24a, 24b…カスプ磁場形成用コイル、

25…遮蔽板、

26…アース、

27…カスプ磁場、

28A, 28B, 28C…プロセスチャンバ、

30…真空容器、

31…ヒータ、

32…製膜室、

33…排気路、

34…真空ポンプ、

35…ガス混合箱、

36…ガスノズル、

37…原料ガス供給源、

10 38…ラダー電極、

39…インピーダンス整合器、

51…結晶核下地層、

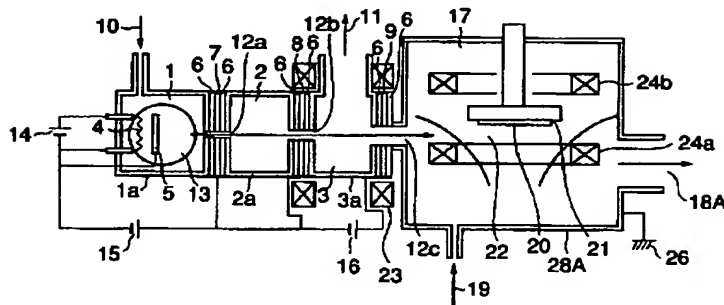
52…結晶核層、

53…薄膜多結晶シリコン層。

【図1】

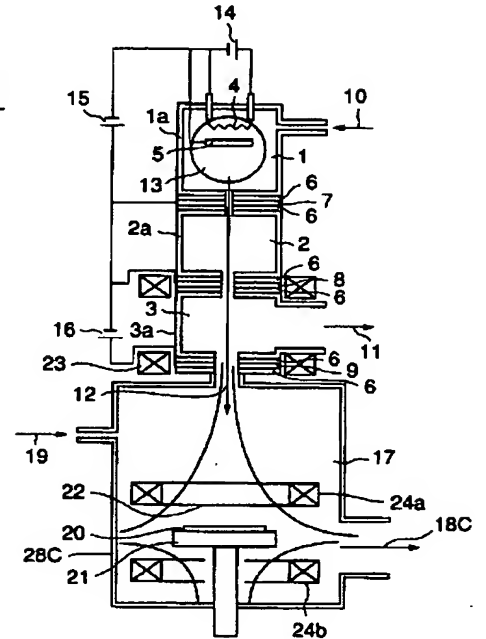
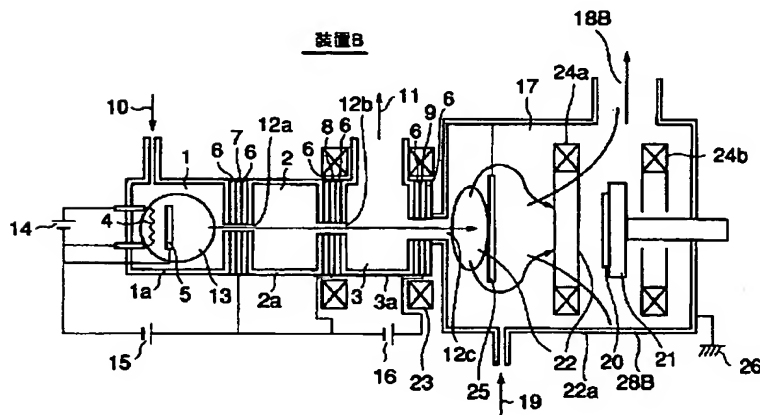
【図3】

装置A

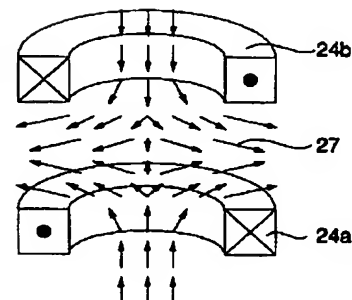


【図2】

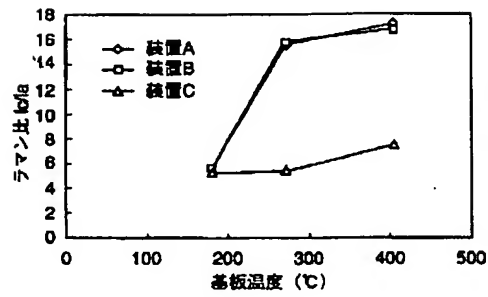
装置B



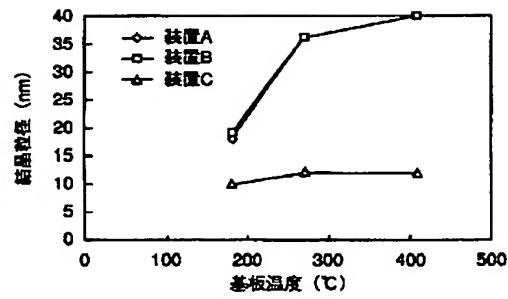
【図4】



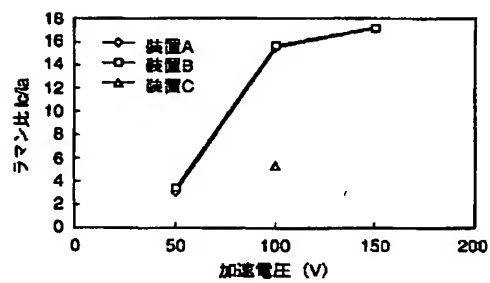
【図5】



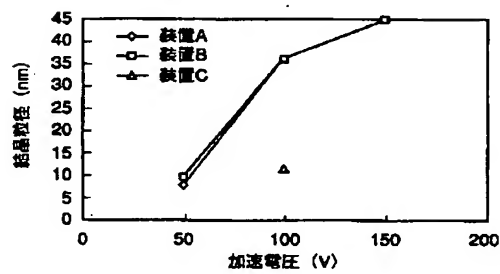
【図6】



【図7】

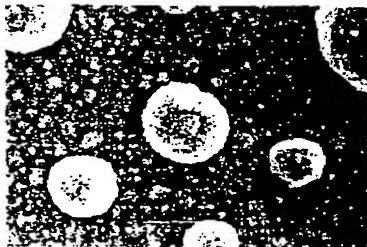


【図8】

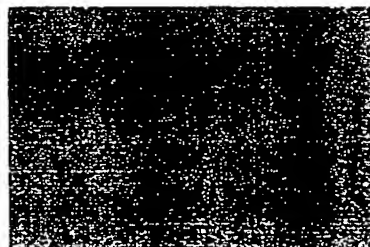


【図9】

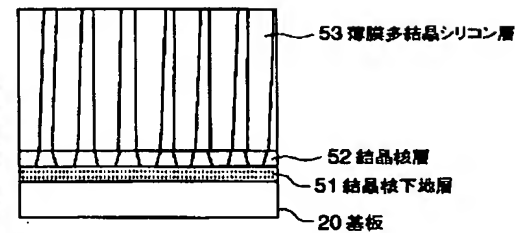
(a)



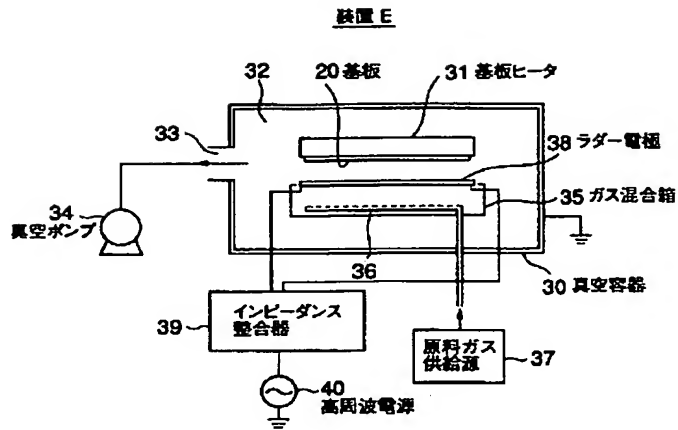
(b)



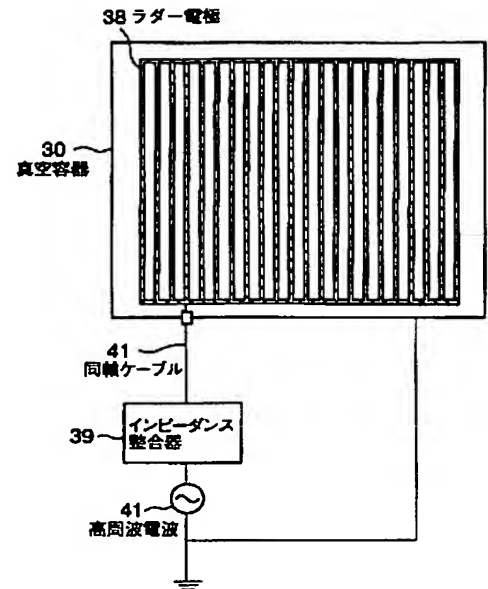
【図10】



【図 11】



【図 12】



フロントページの続き

(72)発明者 山口 賢剛
神奈川県横浜市金沢区幸浦一丁目 8 番地 1
三菱重工業株式会社基盤技術研究所内

F ターム(参考) 4K030 AA06 AA17 BA29 BB03 BB12
CA05 CA06 DA01 FA01 HA04
JA01 KA14 LA04
5F045 AA03 AA08 AA14 AA19 AB03
AB04 AB40 AC01 AC02 AC04
AD05 AD06 AD07 AD08 AE13
AE15 AE17 AE19 AE21 AF07
AF10 AF14 BB07 BB12 CA13
DA61 DP04 EB08 EE06 EE12
EF17 EH04 EH16 EH18 EH19
5F051 AA03 BA14 CB11 CB12 CB14
CB15 CB30 FA02 FA04 GA02
GA03 GA06